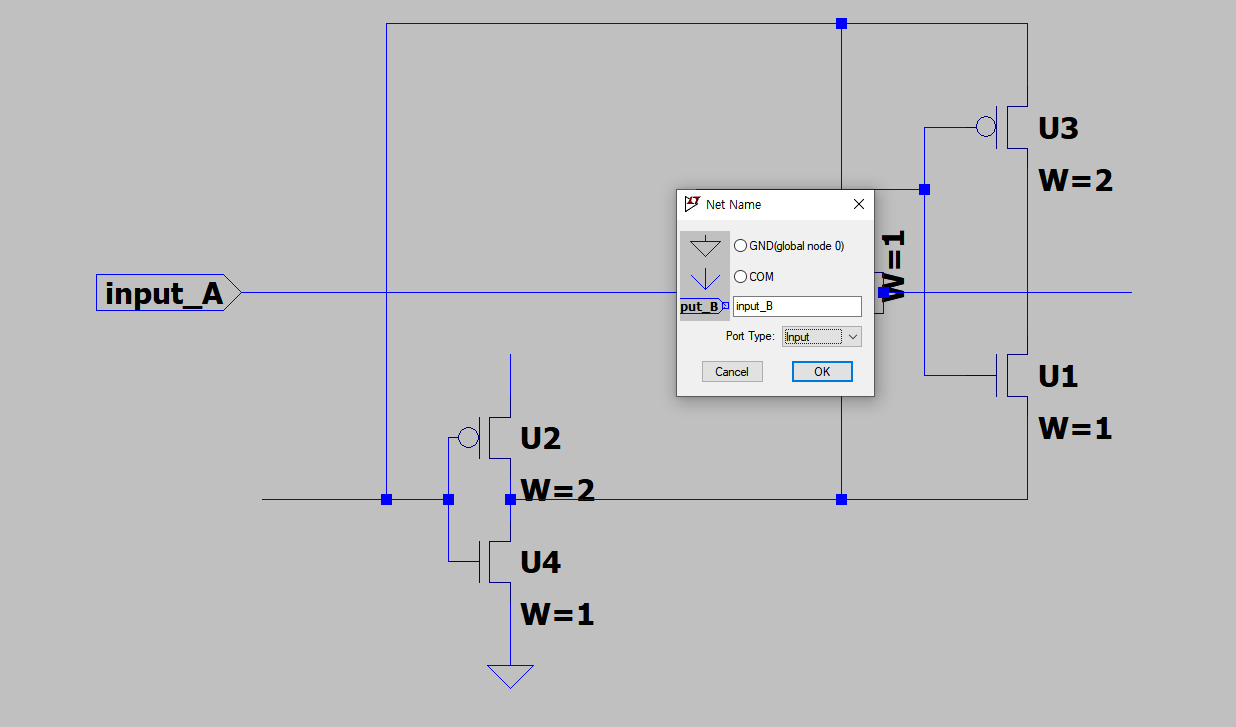
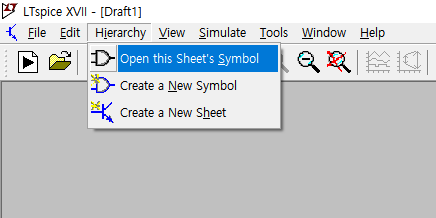
디집회 기말 플젝 ltspice 요령

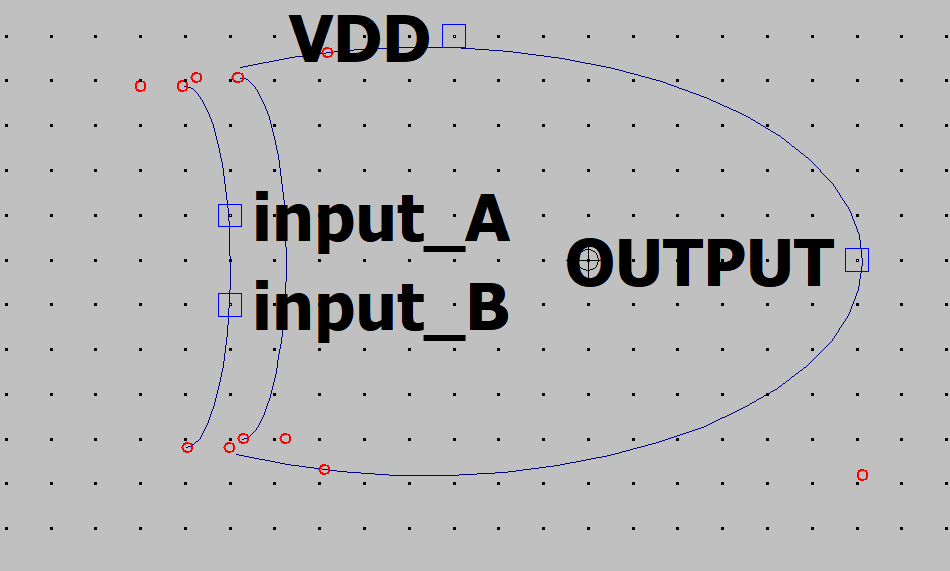
1. Symbol 만들기
   1. F4로 Net name을 설정하는데 이때 input인지 output인지 정한다 vdd는 그냥 bi-direction으로 하는게 맞을 듯



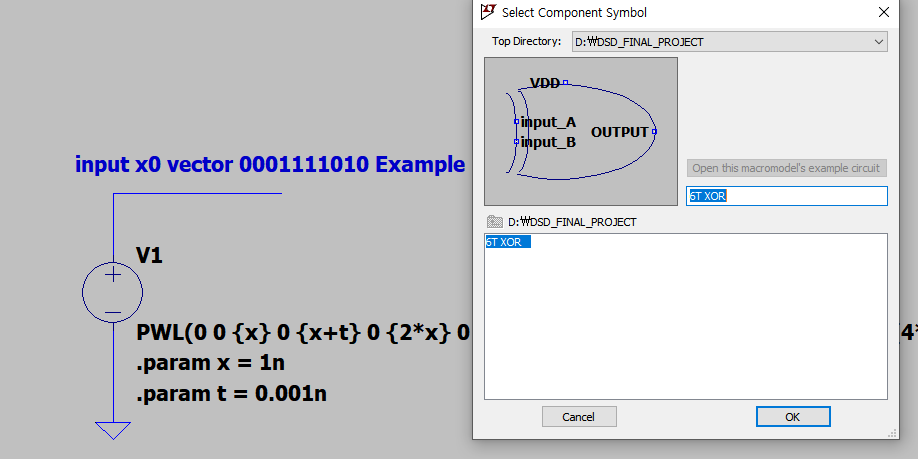
* 1. Net name 다 설정하고 symbol 만든다.



* 1. 여기서부턴 아트의 영역



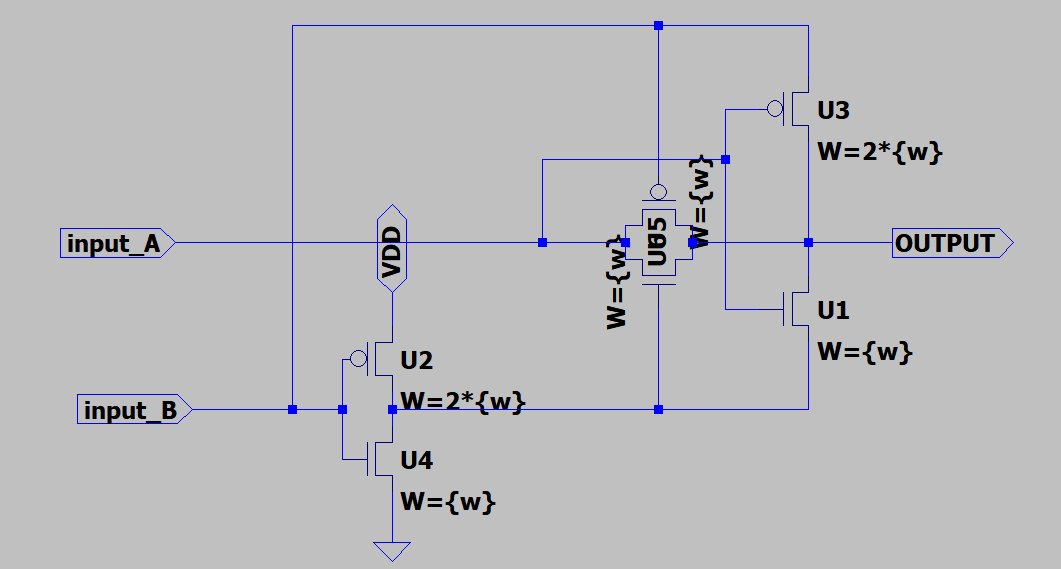
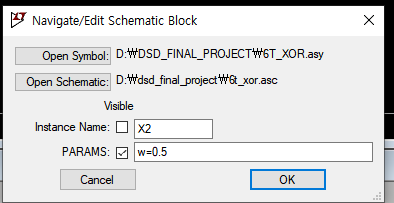
* 1. TB에서 f2누른다음 top dicrectory 바꿔서 사용하면됨.



1. Param을 이용한 module설계

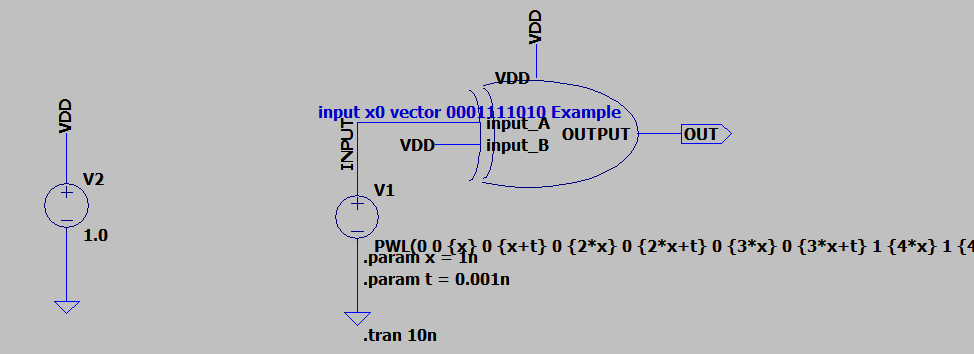
우리가 module을 설계해서 쓸 텐데, transistor size가 달라질 때 다른 모듈을 설계할 수는 없다. Module을 처음부터 parametre를 사용하여 짜야 한다.

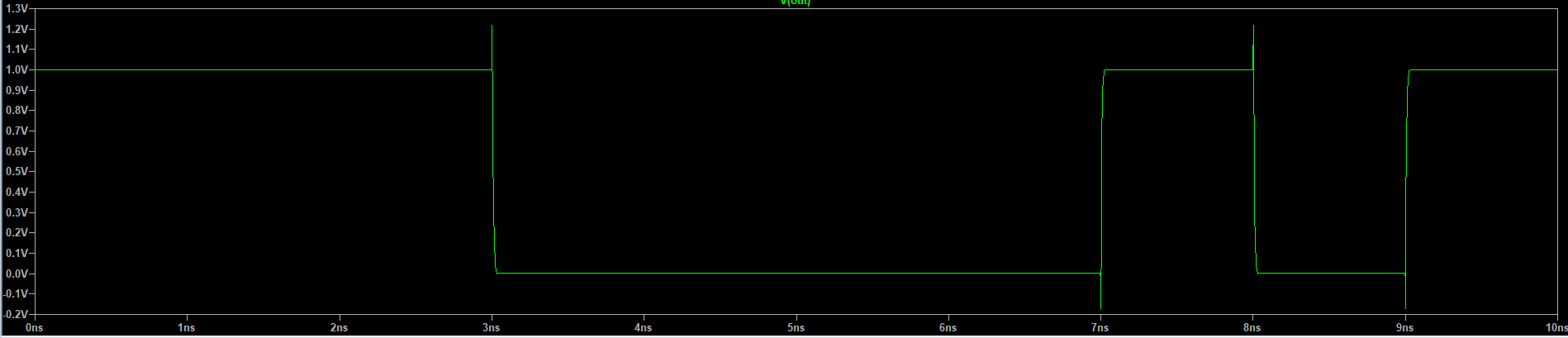
아래와 같이 {}안에 param을 넣고 설계하면 된다.



1. 6T XOR test(w=1)

1)





Glitch가 0.2V정도 있긴 한데, 솔직히 큰 문제 아닐 듯? 어쩌피 digital회로라서. Logic threshold를 넘나들거나 그러진 않으니까

INPUT\_A :Fall time : 12ps, rise time : 12ps( 10% -> 90% 도달하는 시간. 그냥 확대해서 눈대중으로 잼.)

INPUT\_B: 까먹고 안잼

W를 늘리면, glitch늘어난다. 반면 rise,fall time줄어든다. W줄이면 glitch 줄고 시간 늘

(3T도 솔직히 될거 같은데 안정적으로 6T 문제 없을거 같긴함. Delay도 별로 차이없고.)

호연이 자료 참고하면 CMOS XOR 에 비해 월등하게 delay가 적음. 굳이 필요하다면 buffer다는것도 좋을 수도 있을 거 같다.(근데 일단은 굳이?)

inputA에 x를 넣을지, inputB에 x를 넣을지는 좀더 고민이 필요.(w는 여기서 고정값)

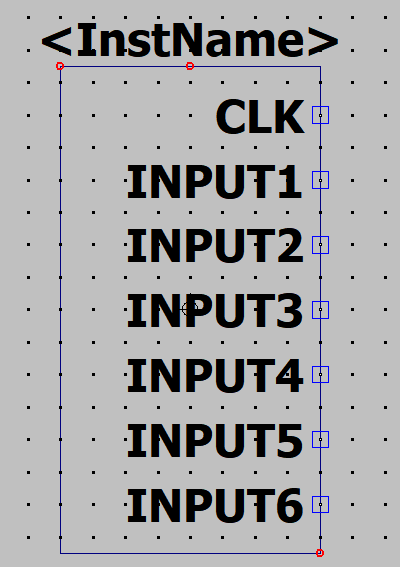
1. Adder에 대한 고찰.

호연이 자료를 읽어보면 알겠지만 호연이 조는 adder의 topology를 조사를 많이 한 듯 보인다. 그러나 실질적으로 CLA, CSA 이것들은 multiple-bit add를 할 때 carry propagation으로 이한 delay를 우려해서 만들어진 것이고, 우리 프로젝트는 실질적으로 1-bit 6개를 더해서 총 3 bit output을 만드는 거라서 크게 의미가 없다.

오히려 logic을 domino logic을 이용할 것인가, 통상적인 cmos logic을 이용할 것인가 가 중요할거 같다. 이에 대해 생각해본 것을 적어보았다.

1. INPUT GENERATOR & CLOCK

INPUT이랑 CLK GENERATE하는 BLOCK만들어둠.



1. 프로젝트 안내 pdf에서 'To minimize EDP, you can tune the supply voltage, clock frequency, logic style, and transistor sizing.'라 제시된 것처럼, Vdd 역시 프로젝트 진행 시 결정할 수 있는 값입니다. 결정한 Vdd=1V가 아닐 경우, input 등의 vdd값을 수정하여 사용하시면 됩니다.  
   수업에서 제공되는 소자의 L=65nm인데, 완전히 같지는 않지만 TSMC 65nm 공정으로 로직설계 시 1.2V±10% 부근의 Vdd를 가집니다. 여러 가지 값들을 고려하여 적절하게 결정하시면 됩니다.

* VDD랑 CLOCK PERIOD를 맘대로 결정해서 EDP를 최소화하라고 되어있네. 1.2V를 기준으로 잡고 설계한다음, VDD를 조금씩 낮춰보는것도 방법일 듯.
* EDP에서 Energy는 energy consumtion per clock cycle이고, P는 propagation delay라서 energy를 줄이려면 pipeline을 사용하는 것도 방법일수 잇다. 근데 이경우엔 DFF를 사용하게 되므로 많이 사용하면 안됨.  
  PIPELINE의 장점 : clock period를 줄일 수 있다.  
  PIPELINE의 단점 : DFF의 delay,energy가 추가된다.